НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ім. Ігоря Сікорського»

КАФЕДРА СИСТЕМНОГО ПРОГРАМУВАННЯ І СПЕЦІАЛІЗОВАНИХ  
КОМП‘ЮТЕРНИХ СИСТЕМ

**КУРСОВА РОБОТА**

з дисципліни

«Комп‘ютерна електроніка»

на тему: «Створити та дослідити модель чотирьохрозрядного лічильника, який забезпечує ділення вхідної частоти на шістнадцять з використанням моделей тригерів »

Студента ІІІ курсу, групи КВ-41

спеціальності 123

«Комп‘ютерна інженерія»

\_\_\_Горпинич-Радуженко І.О.\_\_\_\_\_\_\_\_\_\_

(прізвище та ініціали)

Керівник

доцент каф. СП СКС, к.т.н. Сапсай Т.Г.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Національна оцінка \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Кількість балів: \_\_\_\_\_ Оцінка ECTS \_\_\_\_\_

Члени комісії \_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_

\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_

Київ - 2016 рік

**Завдання на курсову роботу**

**з дисципліни «Комп'ютерна електроніка»**

**Варіант №5**

**1** Дослідити базову схему ТТЛ 3І-НЕ.

Вхідні дані для дослідження:

;

);

;

;

.

**2.** На базі досліджених базової схеми ТТЛ 3І-НЕ побудувати і дослідити модель -тригера з прямим синхронним інформаційним входом ,

прямим R та інверсним S асинхронними входами. Забезпечити ділення вхідної частоти на коефіцієнт К=4 при початкову стані . Синхронізація відбувається під час переходу з «0» в «1».

**3.** На базі -тригеру створити модель схеми чотирьохрозрядного

лічильника з коефіцієнтом ділення вхідної частоти .

**4.**Задати одноразовий режим роботи програмованого лічильника з модулем ділення М = 4. Коефіцієнт ділення вхідної частоти N=8403.

Завдання отримав Завдання видала

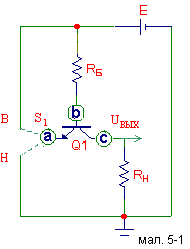
студент гр.КВ-41 доц. кафедри СПСКС

Горпинич-Радуженко І.О.\_\_\_\_\_\_ Сапсай Т.Г. \_\_\_\_\_\_\_\_

«29» вересня 2016 р. «\_\_» \_\_\_\_\_\_\_\_\_ 2016 р.

1. Дослідити базову схему ТТЛ 3І-НЕ.

Дослідження багатоемітерного транзистора.

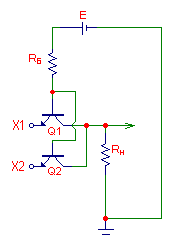


мал.1

Оскільки, як правило, в схемах ТТЛ на вході використовується багатоемітерний транзистор, дослідимо спочатку його роботу. На мал. 1 наведено схему керуючого транзистора з одним входом (аналог багатоемітерного):

Для зручності дослідження перемикання логічного елементу до входу підключено керуючий перемикач S1, який може займати два положення В і Н, до виходу підключено резистор навантаження RН. У положенні В на вхід надходить напруга високого рівня (напруга джерела живлення Е), а в положенні Н – напруга низького рівня (схемна земля). Якщо на вхід подається низька напруга (перемикач S1 у положенні Н), то вхідний струм I0ВХ протікає від джерела живлення Е через резистор RБ та перехід база-емітер керуючого транзистора Q1. Перехід база-колектор транзистора Q1 зміщений у зворотньому напрямку. Таким чином, перехід база-емітер транзистора Q1 відкритий, а перехід база-колектор Q1 закрито, тобто транзистор працює в прямому включенні, напруга на виході дорівнює низькому рівню.

При подачі на вхід високого рівня (перемикач S1 у положенні В) перехід база-емітер транзистора Q1 буде закритий, тому що він зміщений у зворотньому напрямку. Обидва електроди (база і емітер) підключені до джерела живлення. На базу від джерела живлення Е через резистор бази RБ надходить струм IRб, перехід база-колектор - відкрито. На колекторі Q1  встановлюється напруга високого рівня. На вхід надходить тільки струм I1ВХ. Таким чином, перехід база-емітер транзистора Q1 закритий, а перехід база-колектор Q1 відкрито, тобто транзистор Q1 працює в інверсному включенні, на виході встановлюється високий рівень.



Схема, що реалізує логічну функцію І

**Y**

Якщо кількість входів керуючого транзистора Q1 більше одного, то елемент буде реалізовувати логічну функцію І.

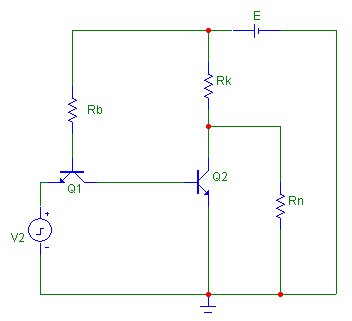
Y=X1X2, де X1, X2– вхідні сигнали, Y- функція на виході схеми.

Тобто, якщо хоча б на одному вході схеми низький рівень (X1X2=L), то транзистор Q1 буде працювати в прямому включенні і на виході схеми встановиться низький рівень(Y=L). При цьому зміна логічних рівнів на інших входах не буде впливати на вихідну напругу UВИХ.

Лише у випадку подачі високих рівнів на усі входи (X1X2=H) багатоемітерний транзистор Q1 перейде в інверсне включення, і напруга на виході встановиться у високий рівень(Y=H).

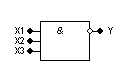
Логічний елемент, приведений на мал. 1 не змінює фазу вхідного сигналу. При додаванні інвертора, виконаного на транзисторі Q2 (мал.2), отримаємо схему транзисторного ключа з керуючим транзистором на вході.

мал.2



Логічний елемент, приведений на мал.2 реалізує функцію І-НЕ.

Схема І-НЕ складається з елементу І та інвертору. Ця схема здійснює заперечення результату схеми І. Якщо кількість входів в елементі дорівнює 3, то такий елемент має назву 3І-НЕ. Умовне позначення на структурних схемах схеми 3І-НЕ представлено на мал.4:

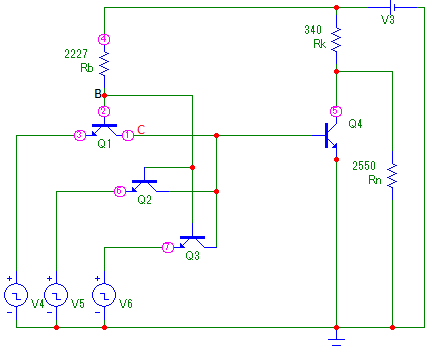


мал.4



Зазначимо, що будь-яка булева функція може бути реалізована за допомогою схем І-НЕ. Функції, що мають таку властивість називаються функціонально повними.

Дослідимо докладніше схему 3І-НЕ.



Вхідні дані для дослідження:

;

);

;

;

.

Коефіцієнти підсилення струму:

* для транзистора Q4 у прямому включенні βН=10 (режим насичення);
* для транзисторів Q1, Q2 , Q3 в інверсному включенні βІНВ=1.
* для транзисторів Q1, Q2 , Q3, Q4 у прямому включенні напруга переходу база-емітер у режимі насичення:
* для транзисторів Q1, Q2, Q3 в інверсному включенні напруга переходу база-колектор: UБК ≈ 0,55 (B)
* = IRб, де IRб  - струм через резистор RБ при =, - вихідний струм при =.

Параметри схеми будемо розраховувати згідно з таблицею:

|  |  |  |  |
| --- | --- | --- | --- |
| **X1** | **X2** | **X3** | **Y** |
| L | L | L | H |
| L | L | H | H |
| L | H | H | H |
| H | H | H | L |

Якщо хоча б на одному з входів низький рівень, то на виході маємо високий рівень.

Якщо на всі входи подаємо високі рівні, на виході отримаємо низький рівень.(Згідно реалізації схеми 3І-НЕ).

1. Розглянемо випадок, коли = - транзистори Q1, Q2 та Q3 знаходяться в прямому включенні, тоді напруга у вузлі «b»:

Нехай (транзистор Q1 в інверсному режимі)

Так як транзистор Q1 , Q2 та Q3знаходяться в прямому включенні, струм у вузлі «с» практично дорівнює нулю, тому транзистор Q4 закритий.

Якщо , то

Значення RК округляємо в меншу сторону, оскільки треба забезпечити виконання умови U1ВХ ≤ U1ВИХ < Е.

Тому

Знайдемо RН при тому, що IRн = IRб.

Значення RН округляємо в більшу сторону, оскільки при розрахунку RН ми обирали мінімальне значення U1ВИХ=U1ВХ, і тому номінал опору треба вибирати, округлюючи в більшу сторону. Тому

Струм :

Струм :

Розрахуємо струми на базах транзисторів Q1 , Q2 та Q3:

0,0004 (А)

Так як транзистори Q1 , Q2 та Q3працюють у прямому режимі, струми на їх колекторах IКQ1) = IКQ2) = IКQ3) практично дорівнюють нулю.

Розрахуємо струми на емітерах транзисторів Q1 , Q2 та Q3:

0,0004 (А)

0,0004 (А)

0,0004 (А)

Оскільки транзистор Q4 закритий, то струм на його колекторі та базі дорівнює нулю.

2. Розглянемо випадок, коли U3= U6=U0ВХ, U7 = U1ВХ – транзистори Q1 та Q2 знаходяться в прямому включенні, Q3 ­- в інверсному.

Оскільки Ub визначається переходом база-емітер та U0ВХ, то значення Ub буде дорівнювати значенню Ub для випадку UВХ=U0ВХ (з невеликою похибкою через те, щоQ7 працює в інверсному режимі). Тобто, Ub = 0.77 В

Оскільки на виході маємо високий рівень, то значення струмів IRк та IRн  будуть такі самі як і для випадку UВХ=U0ВХ. Тобто, , .

Оскільки на транзистор Q4 струм майже не надходить, то струм на його колекторі та базі дорівнює нулю.

3. Розглянемо випадок, коли U3= U0ВХ, U6=U7=U1ВХ – транзистор Q1 знаходиться в прямому включенні, Q2 та Q3 ­- в інверсному.

Оскільки Ub визначається переходом база-емітер та U0ВХ, то значення Ub буде дорівнювати значенню Ub для випадку UВХ=U0ВХ (з невеликою похибкою через те, що Q2 таQ3 працюють в інверсному режимі). Тобто, Ub = 0.77 В

Оскільки на виході маємо високий рівень, то значення струмів IRк та IRн  будуть такі самі як і для випадку UВХ=U0ВХ. Тобто, ,

.

4. Розглянемо випадок, коли UВХ=U1ВХ, тоді транзистор Q1 , Q2 та Q3 працюють в інверсному режимі. Знайдемо напругу у вузлі «b»:

Напруга у вузлі «с»:

Струм через резистор RБ:

Тоді струм у вузлі «c» (враховуючи, що βІНВ=1) дорівнює:

У той же час

**=**

Визначимо навантажувальну здатність даної схеми.

Використовуючи заданий коефіцієнт підсилення струму в режимі насичення, можна знайти струм на колекторі транзистора Q4:

Якщо транзистор Q4знаходиться в режимі насичення, то UВИХ=U0ВИХ, тоді струм через опір колектора RК дорівнює:

У такий спосіб максимально припустимий струм навантаження буде складати:

А навантажувальна здатність:

(Отримане значення N округляється до найближчого меншого цілого числа.)

Розрахуємо струми на базах транзисторів Q1 , Q2 та Q3:

0,00058 (А)

Так як транзистори Q1 ,Q2 та Q3 працюють в інверсному режимі, = = = .

Розрахуємо струми на емітерах транзисторів Q1 , Q2 та Q3:

0,0004 (А)

0,0004 (А)

0,0004 (А)

Оскільки транзистор Q4 закритий, то струм на його колекторі та базі дорівнює нулю.

**Таблиця параметрів схеми:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | | UВХ | UВИХ | Ub | Uc | IRб | IRк | IRн |
| розрах.  значення | U3=U4=U7=U0ВХ | 0,17 | 4,411 | 0.77 | >0.17 | 1.9 | 1,73 | 1,723 |
| U3= U0ВХ  U4= U0ВХ  U7= U1ВХ | 0.17  0.17  4.411 | 4.411 | 0.77 | >0.17 | 1.9 | 1,73 | 1,723 |
| U3= U0ВХ  U4= U1ВХ  U7= U1ВХ | 0.17  4.411  4.411 | 4.411 | 0.77 | >0.17 | 1.9 | 1,73 | 1,723 |
| U3=U4=U7=U1ВХ | 4.411 | <0,21 | 1,15 | 0,6 | 1,73 | 14,08 | ~0 |
| реальні  значення | U3=U4=U7=U0ВХ | 0.17 | 4.412 | 0.69 | 0.18 | 1.933 | 1.73 | 1.73 |
| U3= U0ВХ  U4= U0ВХ  U7= U1ВХ | 0.17  0.17  4.411 | 4.412 | 0.706 | 0.198 | 1.928 | 1.73 | 1.73 |
| U3= U0ВХ  U4= U1ВХ  U7= U1ВХ | 0.17  4.411  4.411 | 4.412 | 0.724 | 0.21 | 1.92 | 1.73 | 1.73 |
| U3=U4=U7=U1ВХ | 4.411 | 0.049 | 1.105 | 0.599 | 1.749 | 14.56 | 0.00019 |

U3 – напруга в точці 3 на схемі. Відповідає першому входу транзистора.

U6 – напруга в точці 6 на схемі. Відповідає другому входу транзистора.

U7 – напруга в точці 7 на схемі. Відповідає третьому входу транзистора.

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | | IБ(Q1) | IБ(Q2) | IБ(Q3) | IК(Q1) | IК(Q2) | IК(Q3) | IЕ(Q1) | IЕ(Q2) | IЕ(Q3) | IБ(Q4) | IК(Q4) |
| розрах. значення | U3=U4=U7=U0ВХ | 0.6 | 0.6 | 0.6 | ~0 | ~0 | ~0 | 0.6 | 0.6 | 0.6 | ~0 | ~0 |
| U3= U1ВХ  U6= U0ВХ  U7= U0ВХ | IRб - IБ(Q2) - IБ(Q3) | IRб - IБ(Q1) - IБ(Q3) | IRб - IБ(Q1) - IБ(Q2) | IК(Q2)+IБ(Q4) - IК(Q3) | IК(Q3) - IК(Q1) - IБ(Q4) | IК(Q1)+IК(Q2)+IБ(Q4) | (β+1)\*IБ(Q1) | (β+1)  \*IБ(Q2) | ІВХ | ~0 | ~0 |
| U3= U1ВХ  U6= U1ВХ  U7= U0ВХ | IRб - IБ(Q2)- IБ(Q3) | IRб - IБ(Q1)- IБ(Q3) | IRб - IБ(Q1)- IБ(Q2) | IКQ2) + IК(Q3) ­- IБ(Q4) | IБ(Q4)+ IК(Q1) - IК(Q3) ­ | IБ(Q4)+ IК(Q1) - IК(Q2) ­ | (β+1)\*IБ(Q1) | ІВХ | ІВХ | ~0 | ~0 |
| U3=U6=U7=U1ВХ | 0,58 | 0,58 | 0,58 | 1,73 | 1,73 | 1,73 | 0,6 | 0,6 | 0,6 | 3,45 | 34,5 |
| реальні значення | U3=U6=U7=U0ВХ | 0.64 | 0.64 | 0.64 | ~0 | ~0 | ~0 | -0,64 | -0,64 | -0,64 | ~0 | ~0 |
| U3= U1ВХ  U6= U0ВХ  U7= U0ВХ | 0.62 | 0.65 | 0.65 | -1.25 | 0.62 | 0,62 | 0,63 | -1,28 | -1,28 | ~0 | ~0 |
| U3= U1ВХ  U6= U1ВХ  U7= U0ВХ | 0.62 | 0.61 | 0.69 | -1.25 | -1.25 | 2.5 | 0,63 | 0,63 | -3.19 | ~0 | ~0 |
| U3=U6=U7=U1ВХ | 0.58 | 0.58 | 0.58 | -1.18 | -1.18 | -1.18 | 0.598 | 0.598 | 0.598 | 3.55 | 14.54 |

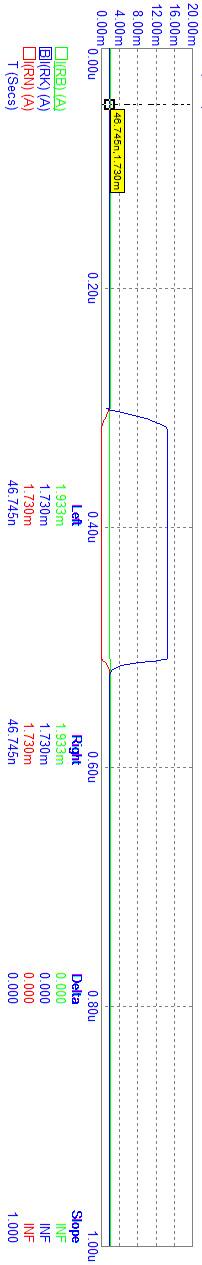
Значення струмів в таблиці наведено в міліамперах (мА). Значення напруг - у Вольтах (В).

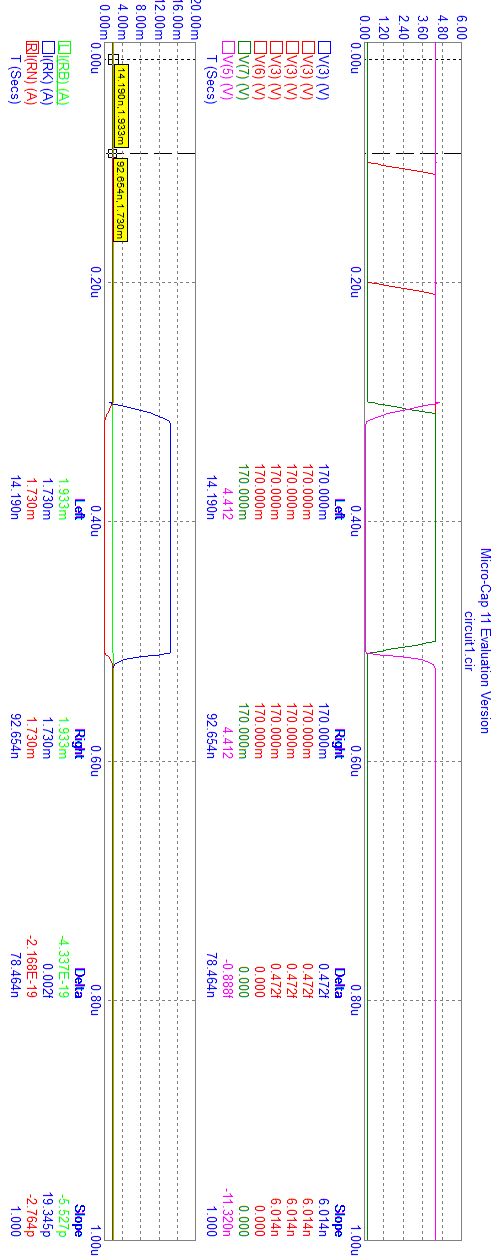
Таблиця всіх можливих комбінацій вхідних рівнів:

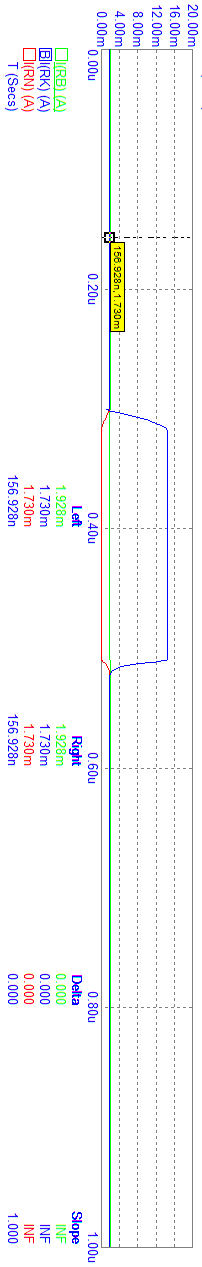
|  |  |  |  |
| --- | --- | --- | --- |
| **X1** | **X2** | **X3** | **Y** |
| L | L | L | H |
| L | L | H | H |
| L | H | L | H |
| L | H | H | H |
| H | L | L | H |
| H | L | H | H |
| H | H | L | H |
| H | H | H | L |

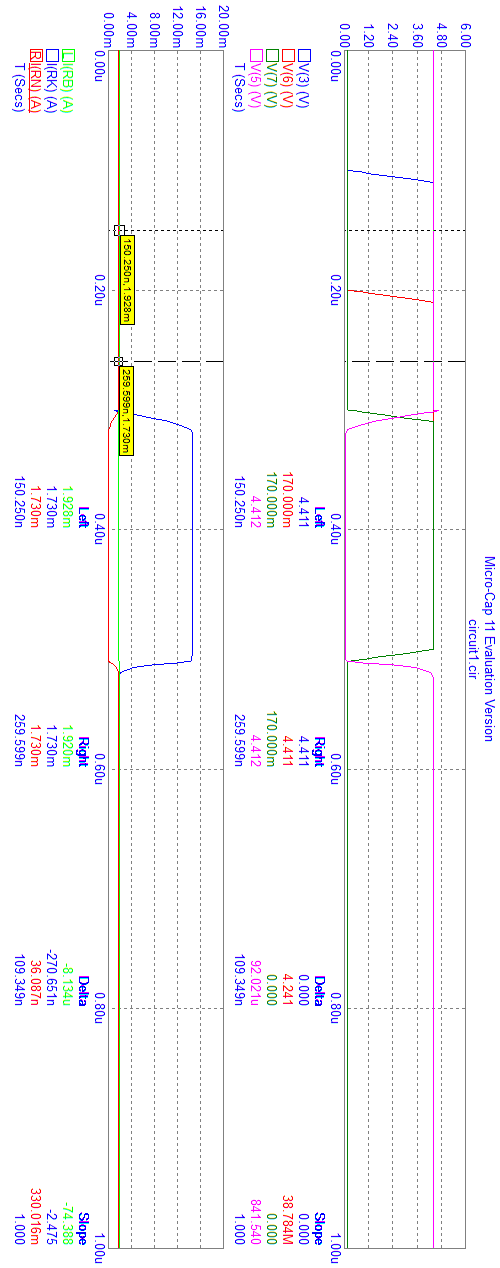
|  |  |  |  |
| --- | --- | --- | --- |
| **X1** | **X2** | **X3** | **Y** |
| 0.17 | 0.17 | 0.17 | 4.412 |
| 0.17 | 0.17 | 4.411 | 4.412 |
| 0.17 | 4.411 | 0.17 | 4.412 |
| 0.17 | 4.411 | 4.411 | 4.412 |
| 4.411 | 0.17 | 0.17 | 4.412 |
| 4.411 | 0.17 | 4.411 | 4.412 |
| 4.411 | 4.411 | 0.17 | 4.412 |
| 4.411 | 4.411 | 4.411 | 0.049 |

Таблиця реальних значень вхідних та вихідної напруги:

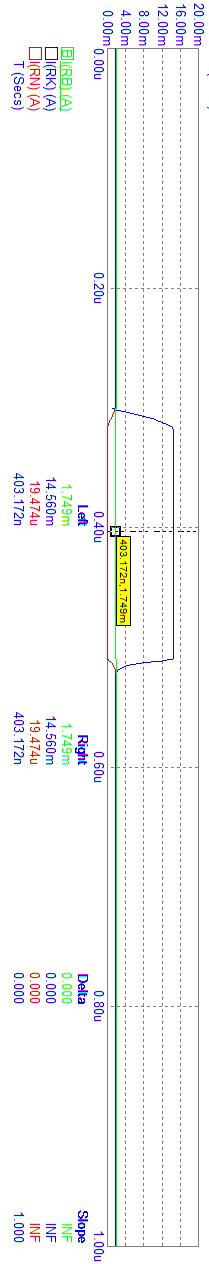
Графік дослідження напруг та струмів IRб, IRк, IRн. Вхідні стани LLL

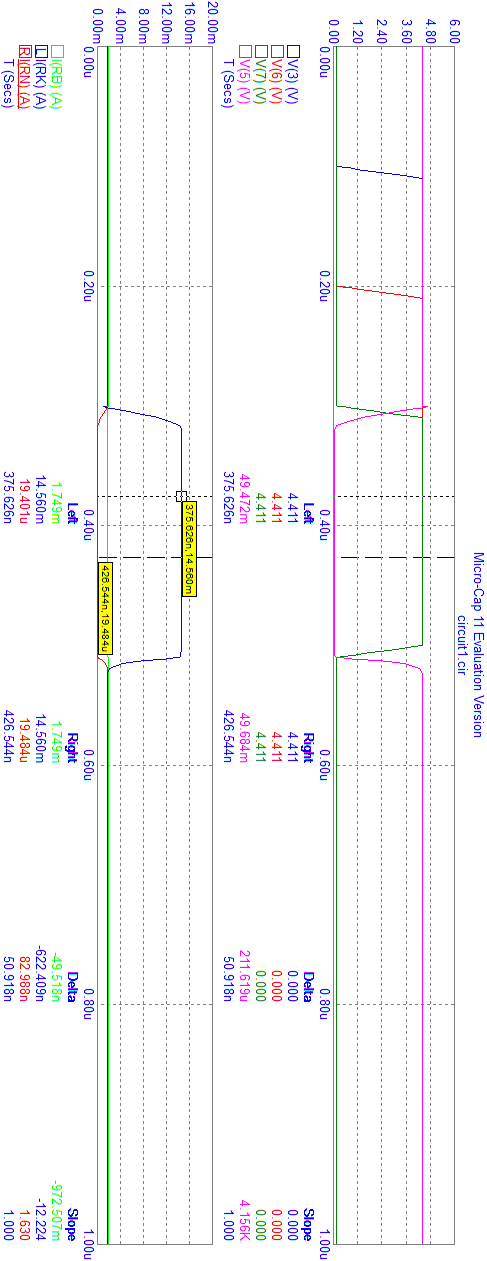


Графік дослідження напруг та струмів IRб, IRк, IRн. Вхідні стани HLL та HHL

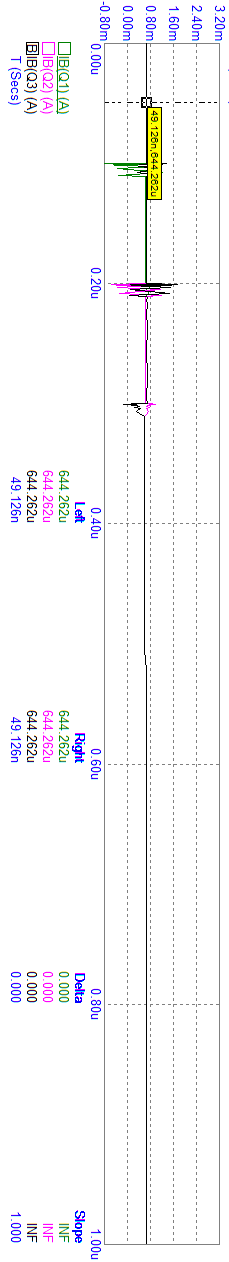


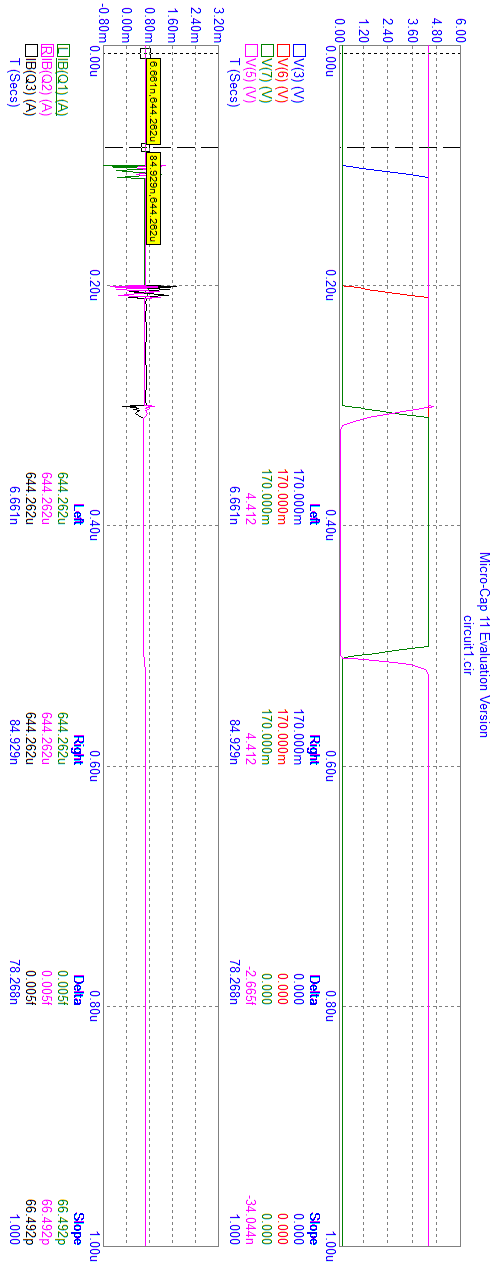
Графік дослідження напруг та струмів IRб, IRк, IRн. Вхідні стани HHH



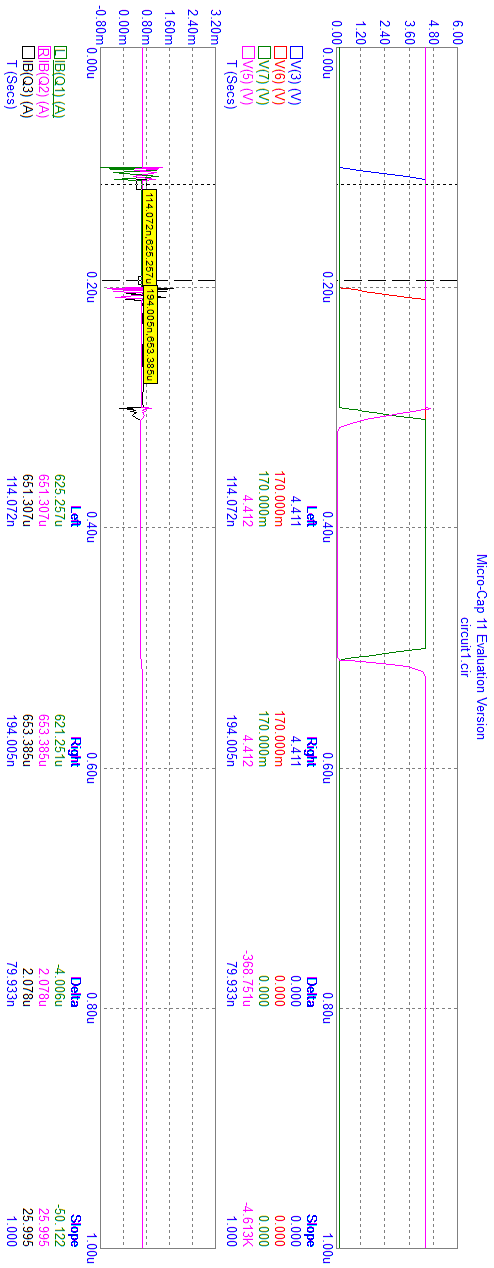
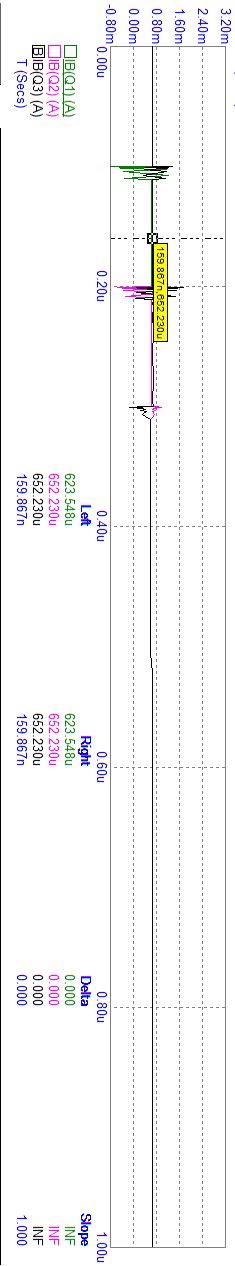


Графік дослідження напруг та струмів на базах транзисторів Q1 , Q2 та Q3. Вхідні стани LLL

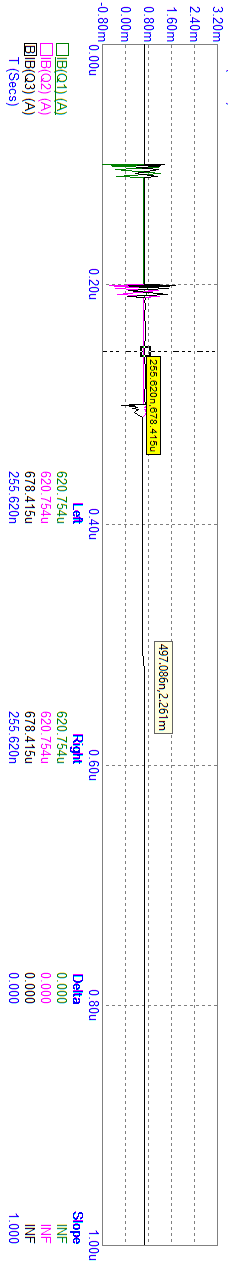


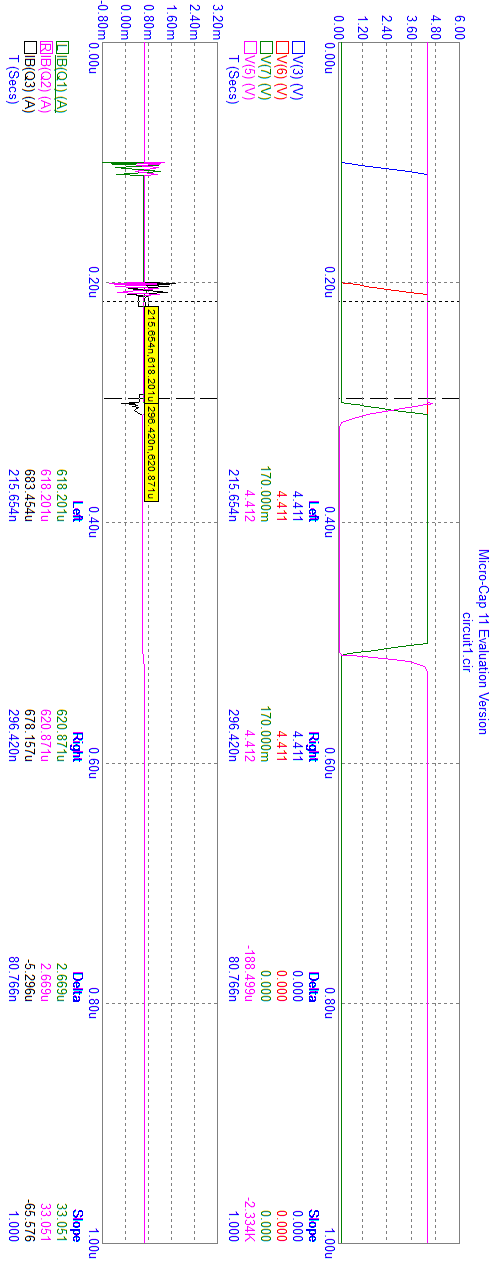


Графік дослідження напруг та струмів на базах транзисторів Q1 , Q2 та Q3. Вхідні стани HLL

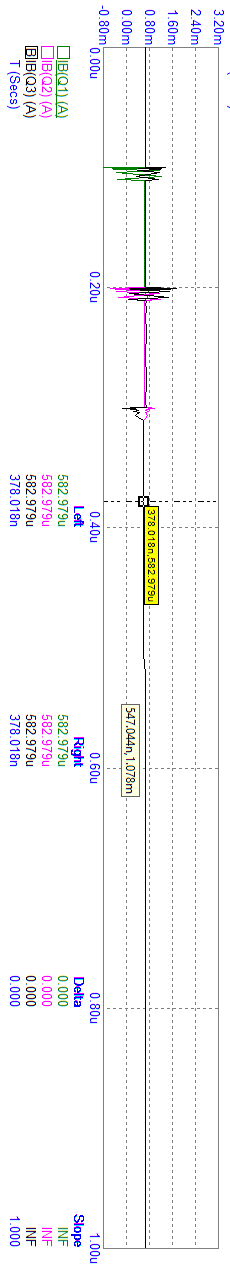


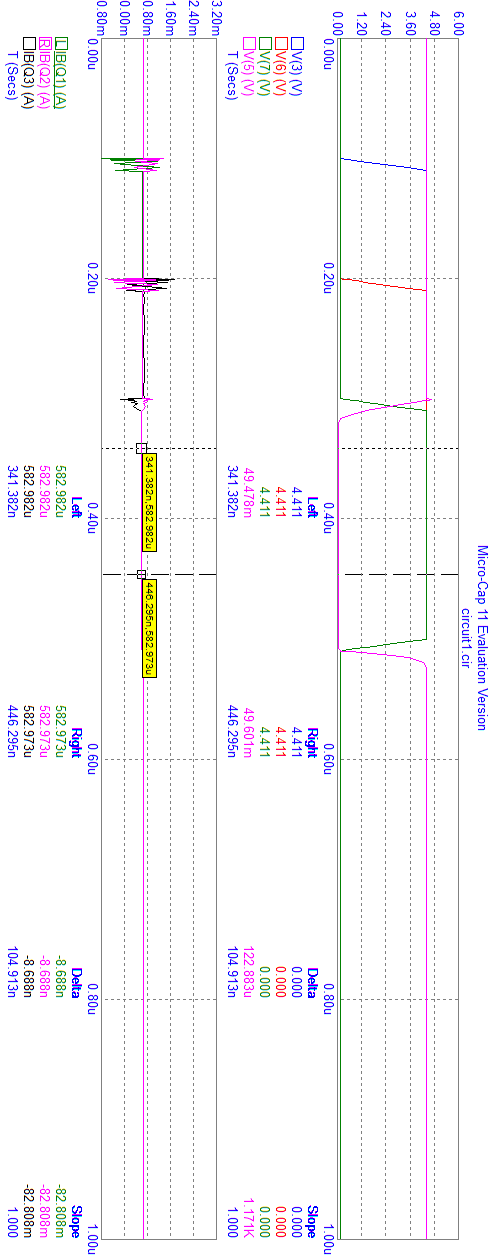
Графік дослідження напруг та струмів на базах транзисторів Q1 , Q2 та Q3. Вхідні стани HHL



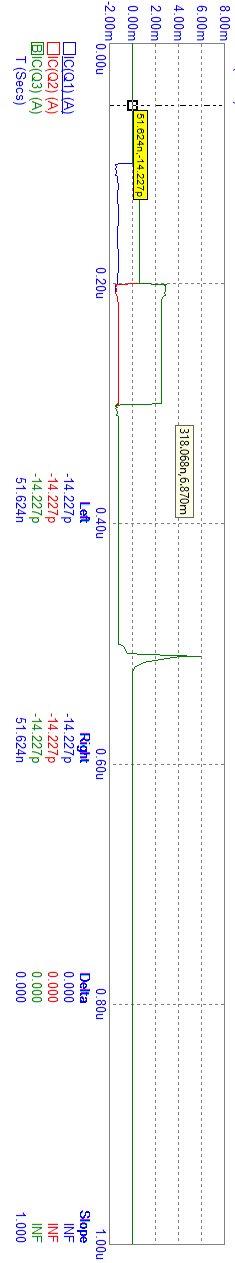


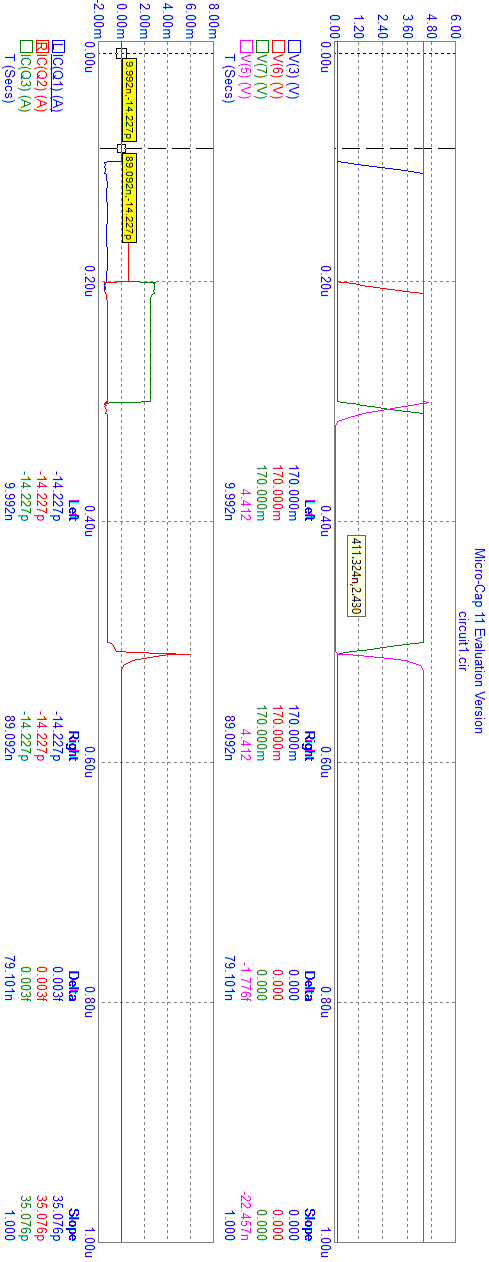
Графік дослідження напруг та струмів на базах транзисторів Q1 , Q2 та Q3. Вхідні стани HHH



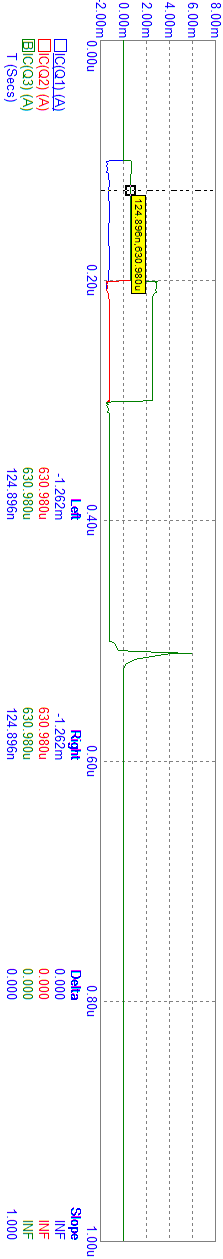


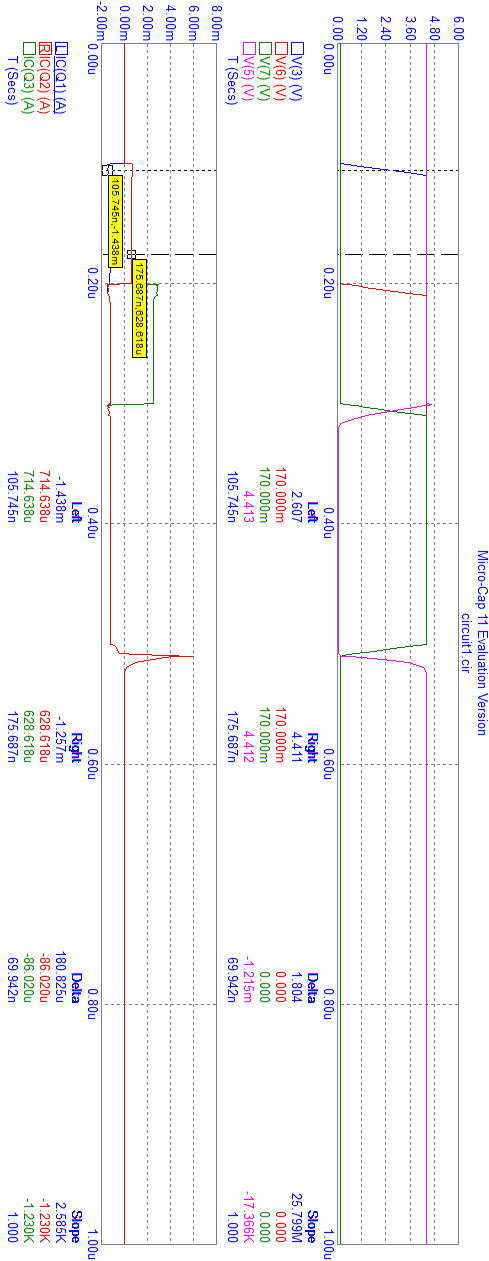
Графік дослідження напруг та струмів на колекторах транзисторів Q1 , Q2 та Q3. Вхідні стани LLL



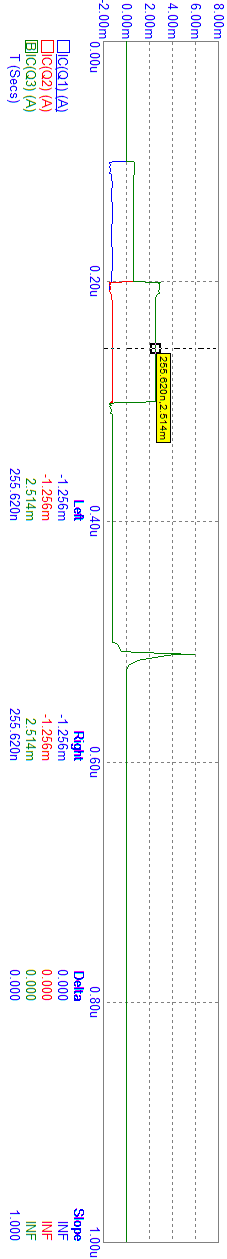


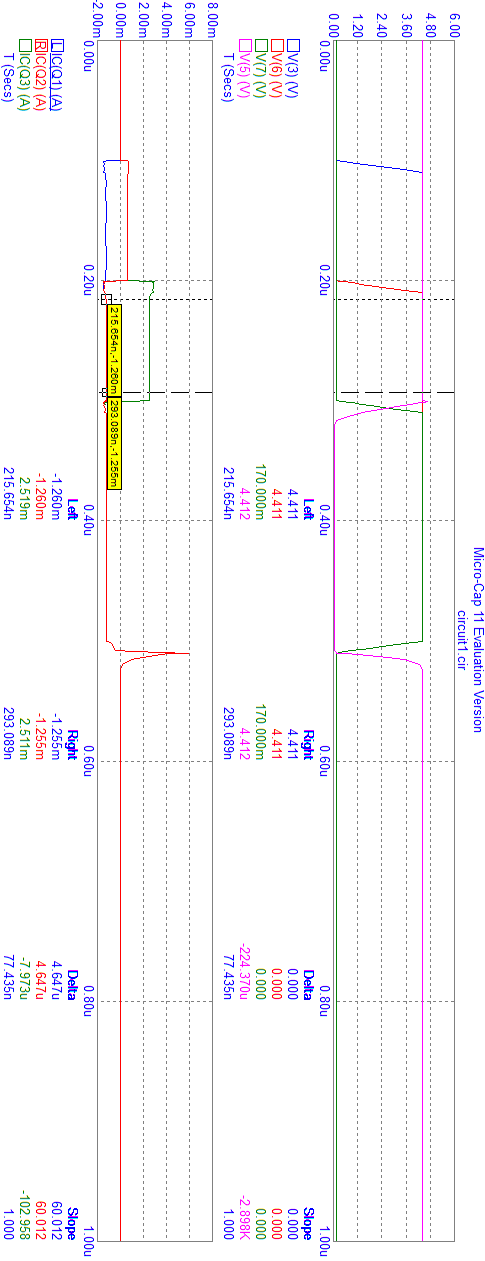
Графік дослідження напруг та струмів на колекторах транзисторів Q1 , Q2 та Q3. Вхідні стани HLL



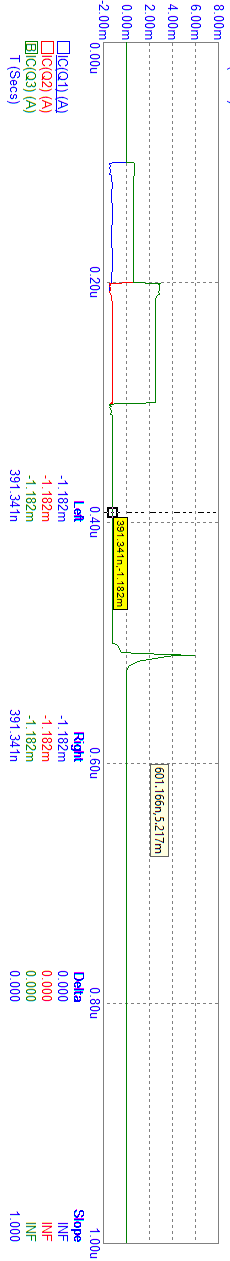


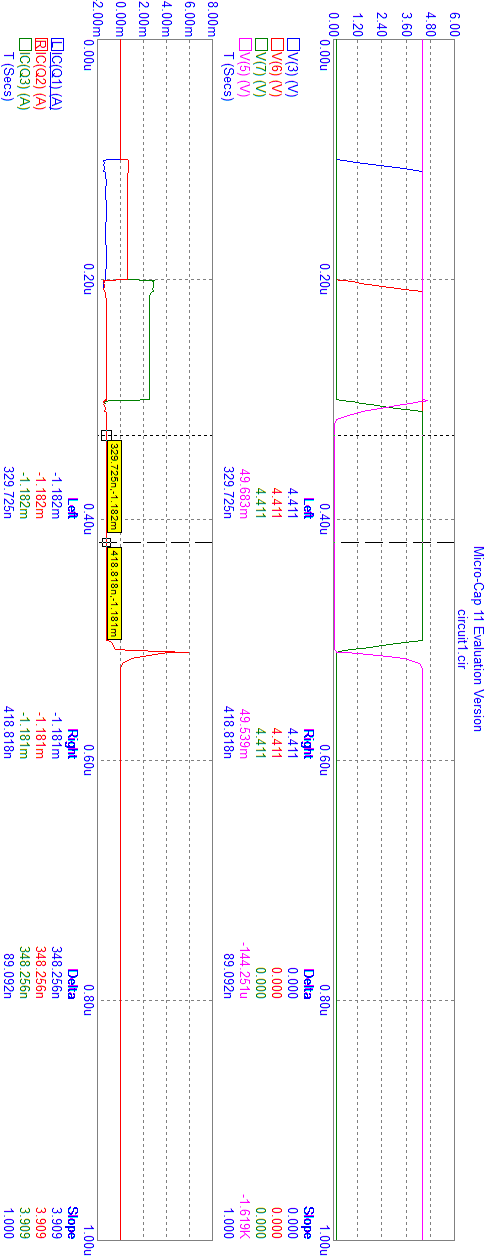
Графік дослідження напруг та струмів на колекторах транзисторів Q1 , Q2 та Q3. Вхідні стани HHL



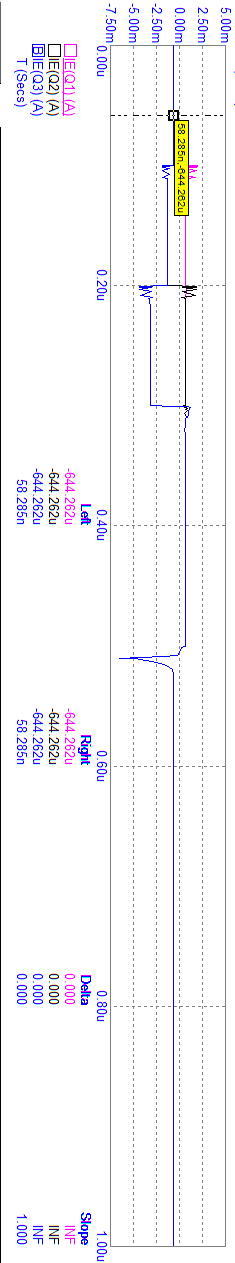


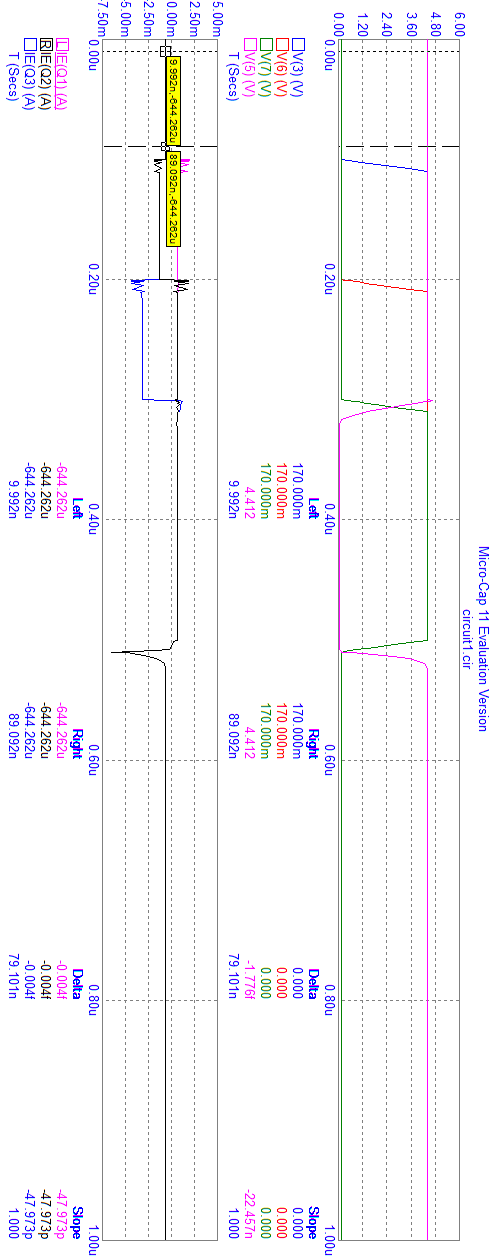
Графік дослідження напруг та струмів на колекторах транзисторів Q1 , Q2 та Q3. Вхідні стани HHH



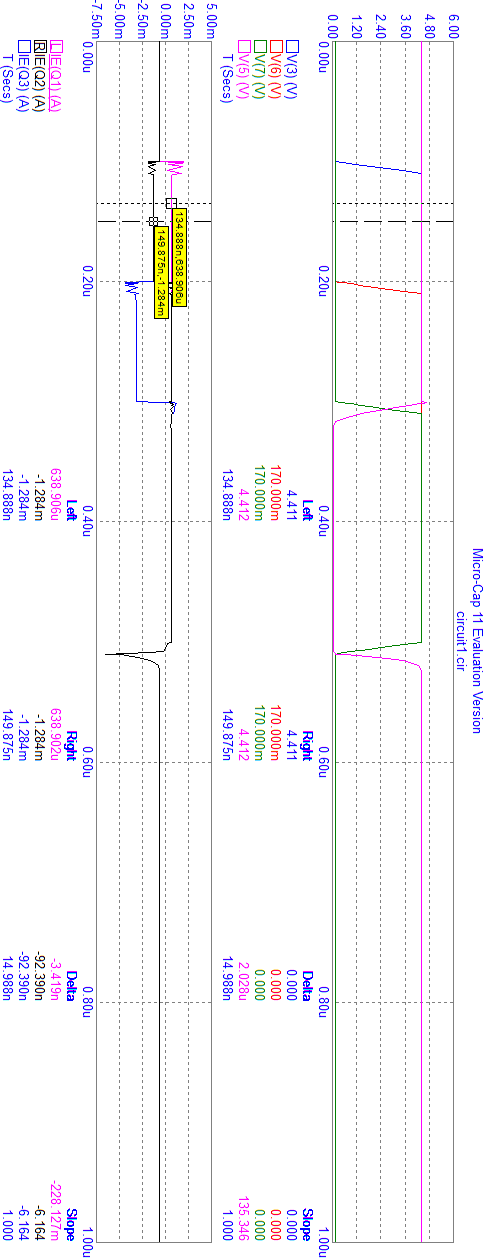
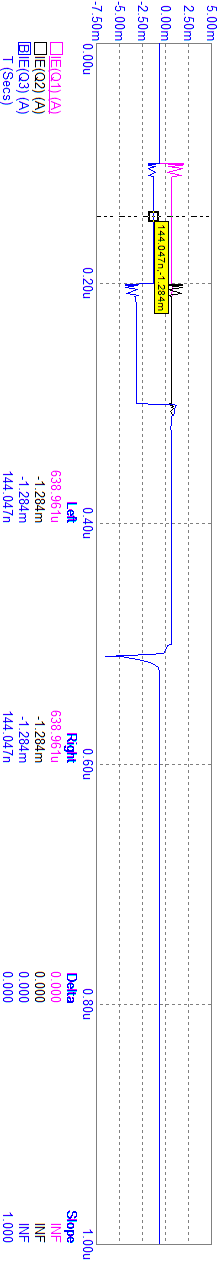


Графік дослідження напруг та струмів на емітерах транзисторів Q1 , Q2 та Q3. Вхідні стани LLL

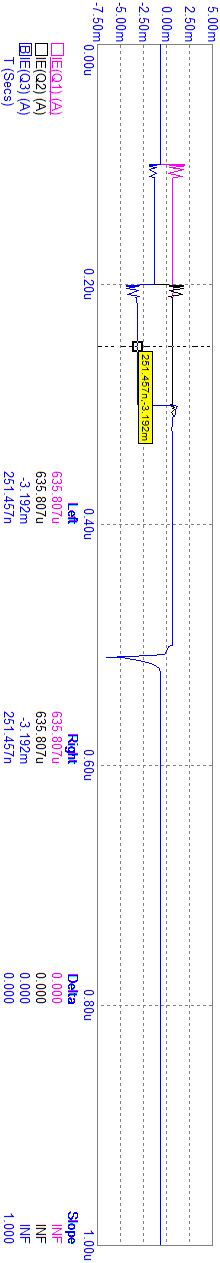


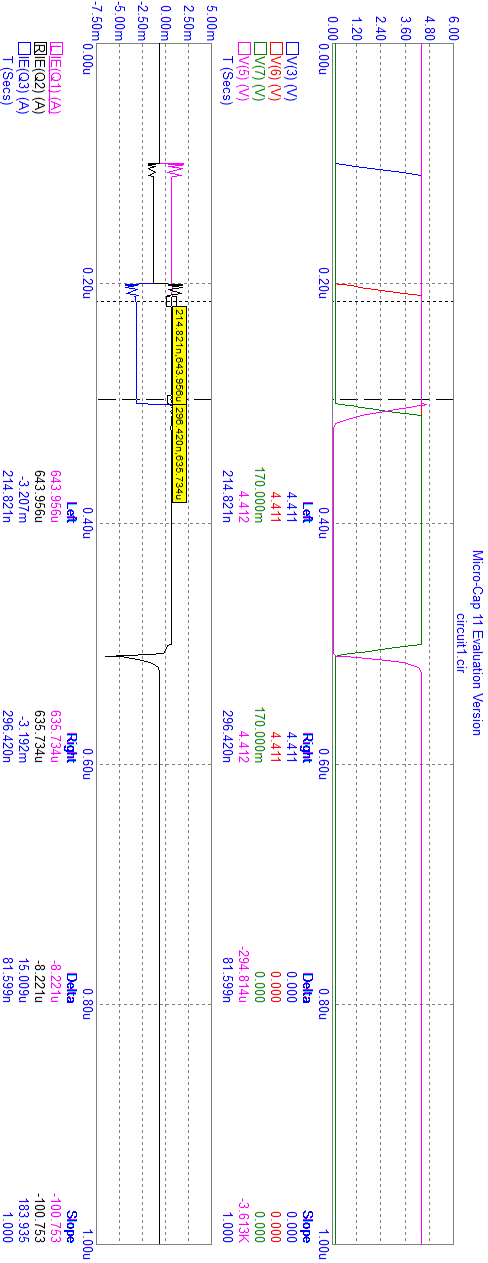


Графік дослідження напруг та струмів на емітерах транзисторів Q1 , Q2 та Q3. Вхідні стани HLL

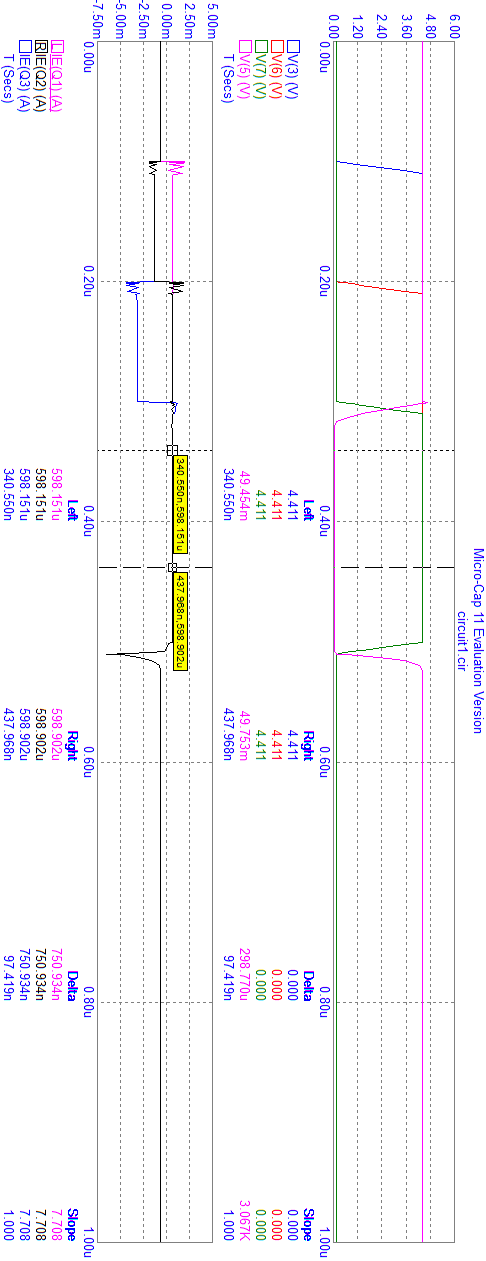
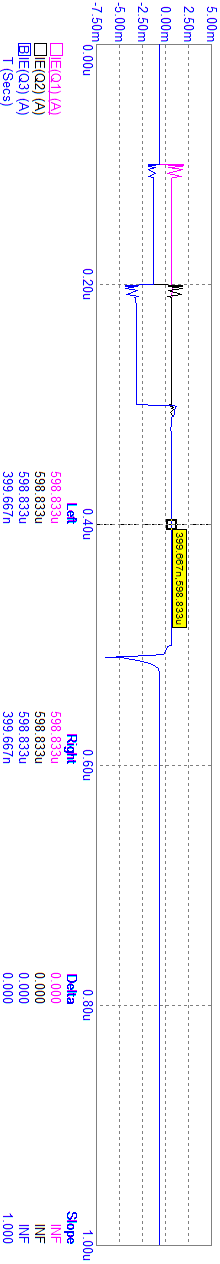


Графік дослідження напруг та струмів на емітерах транзисторів Q1 , Q2 та Q3. Вхідні стани HHL

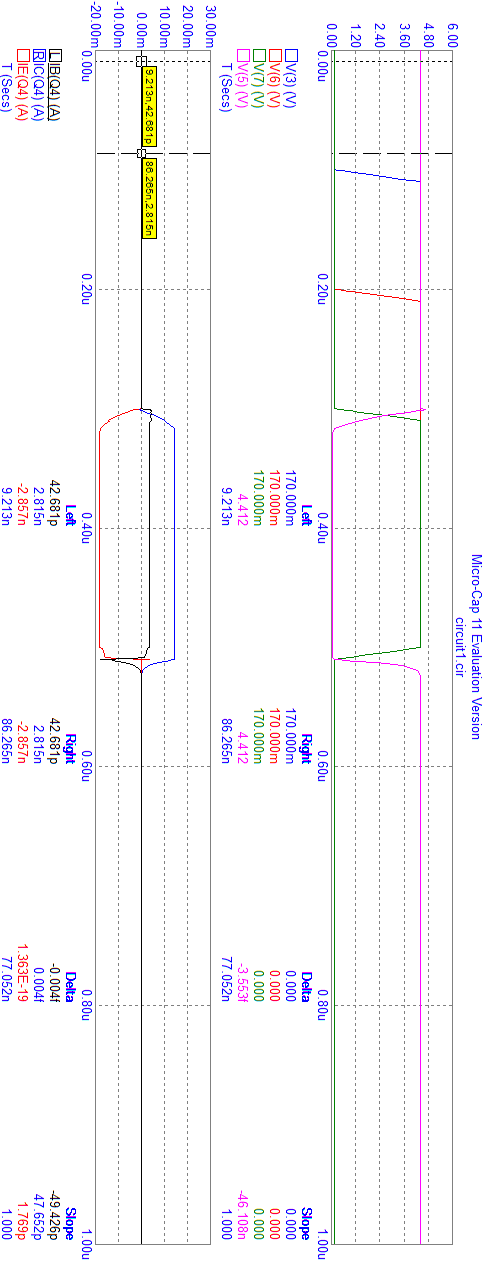
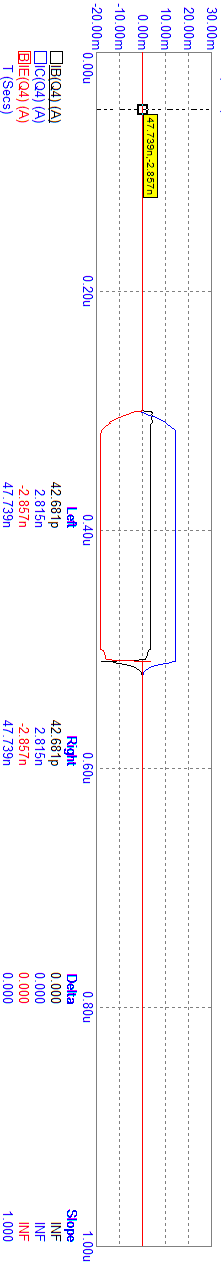




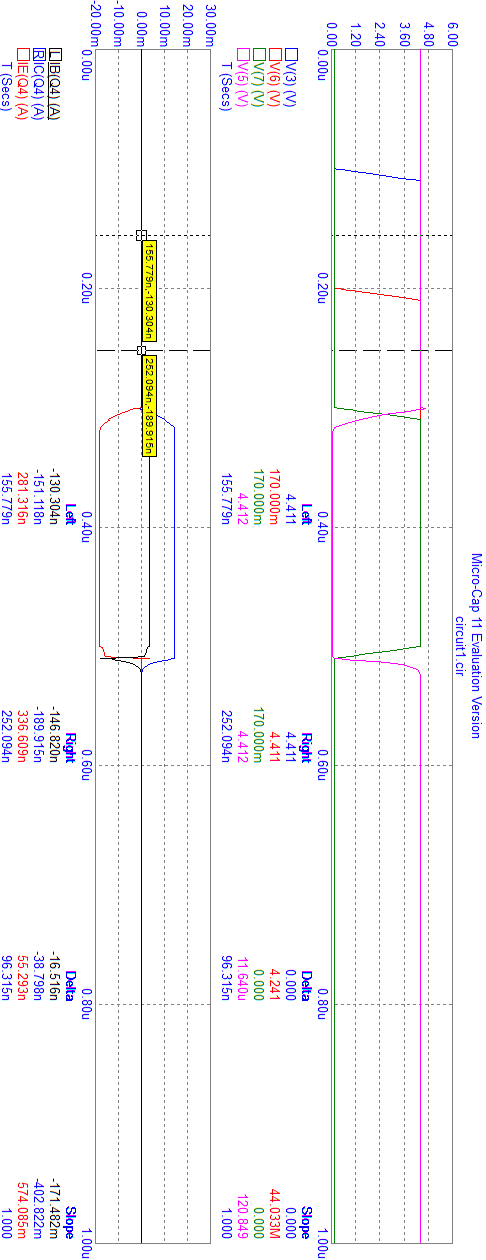
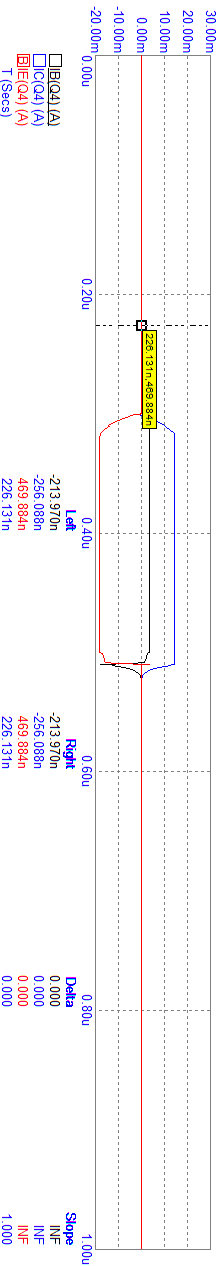
Графік дослідження напруг та струмів на емітерах транзисторів Q1 , Q2 та Q3. Вхідні стани HHH



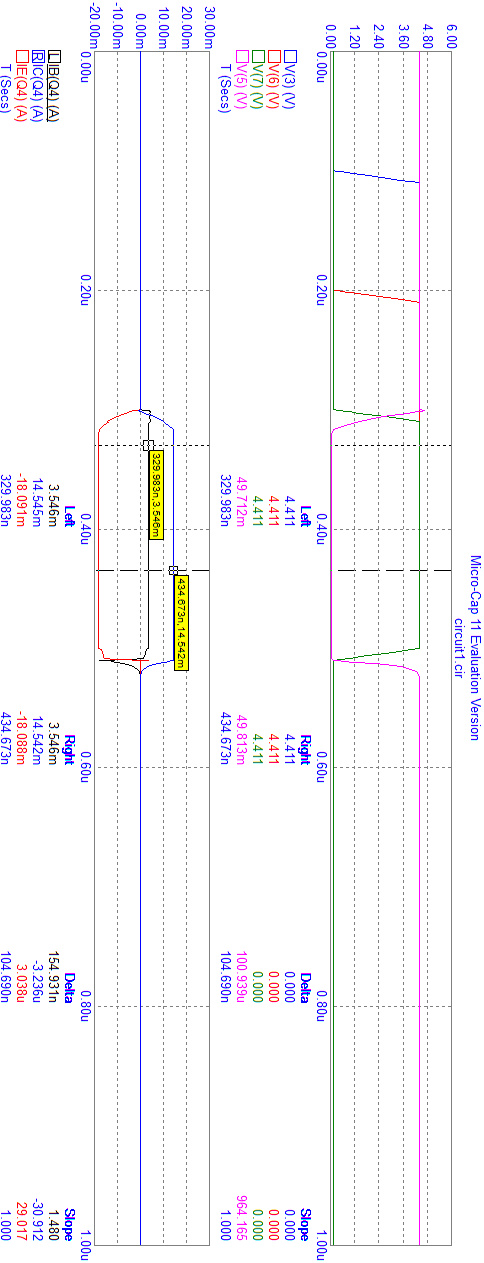
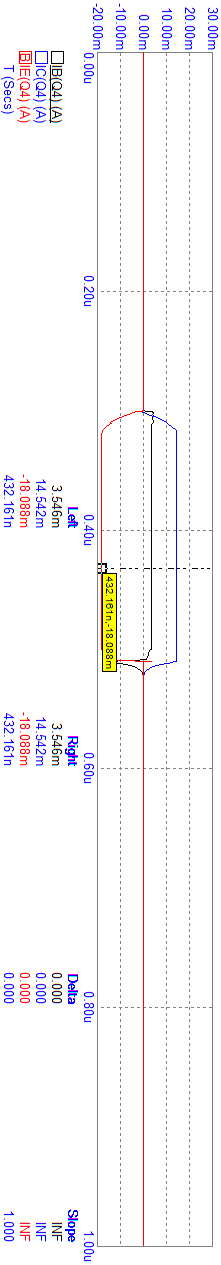
Графік дослідження напруги та струму транзистора Q4. Вхідні стани LLL.



Графік дослідження напруги та струму транзистора Q4. Вхідні стани HLL, HHL.



Графік дослідження напруги та струму транзистора Q4. Вхідні стани HHH.



Висновки:

У даному завданні ми дослідили роботу схеми 3І-НЕ. При подачі на входи різні комбінації рівнів, ми отримували відповідне значення на виході схеми. З отриманих результатів ми переконались, що тільки при подачі високого рівня на всі входи, на виході встановлюється низький рівень. В усіх інших випадках, на виході маємо низький рівень. Тобто, якщо всі вхідні транзистори працюють у інверсному режимі, струм їхньої бази буде проходити на колектор і напруга переходу «джерело живлення – пульсар» > напруги «джерело живлення – «земля»». Коли хоча б на один вхід подається низький рівень, напруга переходу «джерело живлення – пульсар» зменшиться. Струм буде протікати через базу-емітер відповідного вхідного транзистора, вихідний транзистор буде закритий і на виході встановиться високий рівень.

Реальне значення при дорівнює 0.049, що відповідає умові .

Реальне значення майже не відрізняється від розрахованних. Невелике зменшення можна пояснити округленням значення в більшу сторону, що призвело до зменшення струму у вузлі «b».

Значення якщо на одному із входів є більші, ніж необхідні 0.17, і задовольняє умову. Значення при майже співпадають.

Розраховані та реальні значення струмів , , не відрізняються. Невелике збільшення струму при можна пояснити округленням резистора в меншу сторону.

Реальні значення майже не відрізняються від розрахованих.

Реальні значення , , при є трохи меншим, що пояснюється наявністю деяких малих «шкідливих» струмів.

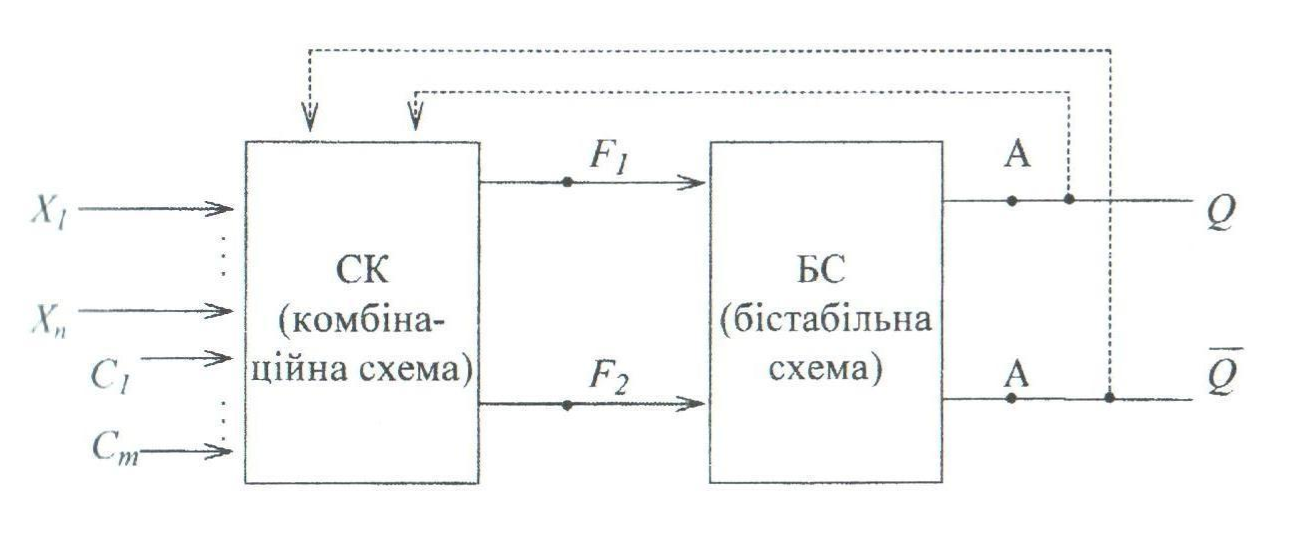
Варто відмітити, що в деяких випадках було дуже складно визначити точне значення певних струмів, а саме струмів на базах, колекторах та емітерах вхідних транзисторів. Тому ці струми ми не розраховували, а просто записали як вони утворюються.

Також зазначимо, що іноді в схемах керуючого транзистора з одним входом використовується резистор зміщення, який підключається паралельно базі-емітеру вихідного транзистора. Він використовується для забезпечення кращого «розсмоктування» струмів. В даному випадку він не використовується, оскільки кількість входів в схемах більше одного, і вихідний транзистор буде правильно перемикатись. Тому вилучення зі схеми Rзм на вихідний рівень (тобто, значення на виході схеми) впливати не буде.

1. На базі дослідженої базової схеми ТТЛ 3І-НЕ побудувати і дослідити модель -тригера з прямим синхронним інформаційним входом , прямим R та інверсним S асинхронними входами. Забезпечити ділення вхідної частоти на коефіцієнт К=4 при початкову стані . Синхронізація відбувається під час переходу з «0» в «1».

Теоретична частина.

Тригер – це пристрій з двома стійкими станами, що містить бістабільну схему (БС) – власне тригер, яку також називають запам'ятовуючим елементом (ЗЕ), і схему управління (СУ).



*х1, ..., хn* – інформаційні входи тригера;  
  *C1, ..., Cm* – входи синхронізації;  
  *Q* – прямий вихід тригера;  
   – інверсний вихід тригера;

*\_\_*

*Q*

*f1, f2* – функції збудження бістабільної схеми (запам'ятовуючого елемента).

Зворотні зв'язки, показані на рисунку, можуть бути відсутні.

За завданням тригер має один тактовій вхід. Такий тригер називається однотактним.

Основним компонентом тригера є бістабільна схема.  
Розрізняють бістабільну схему на елементах І-НЕ і АБО-НЕ.

Тригери найчастіше класифікують за функціональним призначенням та за способом запису інформації.

Функціональне призначення тригера характеризує таблиця переходів тригера, яка реалізує функцію , де – функція переходів тригера,  – значення вихідного сигналу в момент часу t,  –значення вихідного сигналу в момент часу (t +1),  – значення вхідних інформаційних сигналів в момент часу t.

Кількість різноманітних тригерів дуже велика. Одним з тригерів, які найчастіше вживаються на практиці є D-тригер. D-тригер (D - Delay) називають тригером затримки; для нього справедлива рівність .

Класифікація тригерів за способом запису інформації характеризує хід процесу перемикання тригера.

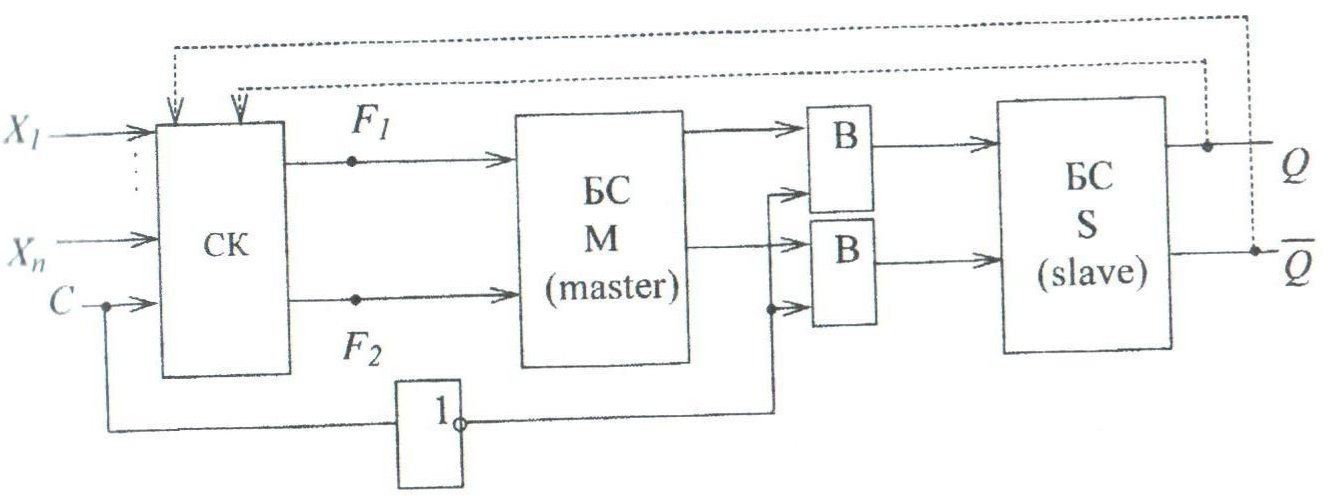
Тригери, перш за все, діляться на синхронні та асинхронні.  
Асинхронні тригери не мають входу синхронізації, тому запис інформації в такі тригери здійснюється безпосередньо з надходженням інформаційних сигналів.

Синхронні тригери мають входи синхронізації.  
Розрізняють синхронні тригери, що керуються рівнем сигналу синхронізації і перепадом (фронтом) сигналу синхронізації.

За завданням маємо синхронний тригер, що керується перепадом (фронтом) сигналу синхронізації з «0» в «1». Розглянемо такий тригер докладніше.

Тактовий сигнал на динамічному вході сприймається тригером як такий, що дозволяє запис інформації тільки при зміні його рівня від 0 до 1, або від 1 до 0. Інші стани тактового сигналу тригер сприймає як відсутність дозволу на прийом (запис) інформації. Наприклад, тригер з прямим динамічним входом C прийме вхідну інформацію тільки в момент зміни тактового сигналу від 0 до 1. Інформація відразу поступить на вихід тригера. Якщо інформаційні сигнали змінились при присутності 1 на вході C, то тригер на це не відреагує.

Тригери, керовані перепадом тактового сигналу, містять у своєму складі дві або три бістабільні схеми. Вони переходять у новий стан лише у момент перепаду (переходу з 0 в 1 або з 1 в 0) тактового сигналу. Такі тригери можна побудувати за MS-схемою. Тоді до складу тригера входять дві бістабільні схеми: М-БС (М — master) та S-БС ( S — slave). Виходами тригера в цілому є виходи S-БС. Запис інформації в М-БС тактується сигналом С, а передача інформації з М-БС в S-БС здійснюється через вентилі (В), що з’єднують М-БС і S-БС. Якщо тригер будують на елементах І-НЕ, то вентилем є елемент І-НЕ, якщо тригер будують на елементах АБО-НЕ, то вентилем є елемент АБО-НЕ. У схемі тригера на елементах І-НЕ з інвертором у колі синхросигналу передача інформації з М-БС в S-БС відбувається в момент переходу тактового сигналу С з 1 в 0. Вентилі В при цьому відкриваються і стан М-БС переписується в S-БС. При С = 0 зміна інформаційних сигналів на входах не може вплинути на стан М-БС. При С = 1 стан М-БС під впливом інформаційних сигналів може змінитися, але це не позначиться на S-БС, оскільки вентилі В будуть закриті. І лише при наступному переході з 1 в 0 новий стан М-БС буде переписано в S-БС і на виходах встановляться нові значення.



D-тригер за MS схемою І-НЕ

Таблиця переходів D-тригера.

|  |  |
| --- | --- |
| D(t) | Q(t+1) |
| 0 | 0 |
| 1 | 1 |

Таблиця функції збудження для БС на елементах І-НЕ.

|  |  |  |  |
| --- | --- | --- | --- |
| Q(t) | Q(t+1) | F1 | F2 |
| 0 | 0 | 1 | \* |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | \* | 1 |

Повна таблиця переходів.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| C | D | Q(t) | Q(t+1) | F1 | F2 |
| 0 | 0 | 0 | 0 | 1 | \* |
| 0 | 0 | 1 | 1 | \* | 1 |
| 0 | 1 | 0 | 0 | 1 | \* |
| 0 | 1 | 1 | 1 | \* | 1 |
| 1 | 0 | 0 | 0 | 1 | \* |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | \* | 1 |

При С = 0 тригер не змінює свого стану, тому . При С = 1 тригер повинен функціонувати у відповідністю з таблицею переходів D-тригера. Тому, аналізуючи значення D(t) в кожному рядку повної таблиці переходів, заповнюємо стовпчик ; при цьому користуємося таблицею переходів D-тригера.

У повній таблиці переходів проектованого тригера, аналізуючи по рядках переходи і користуючись при цьому таблицею функцій збудження бістабільної схеми на елементах І-НЕ, заповнюємо стовпці F1 і F2.  
За допомогою діаграм Вейча мінімізуємо функції F1 і F2:

Мінімізація F1 та F2.

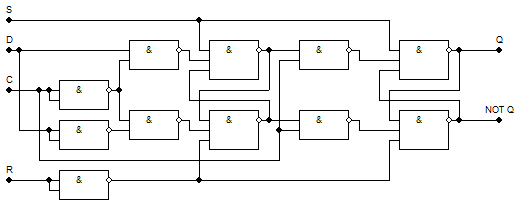
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | |  | D | |  |  | F1 | | C | 0 | \* | 1 | 1 |  | | 1 | \* | \* | 1 |  | |  |  | Q | |  |  | | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | |  | D | |  |  | F2 | | C | 1 | 1 | 0 | \* |  | | \* | 1 | 1 | \* |  | |  |  | Q | |  |  | |



Умовне графічне позначення:

Заданий тригер ми будуємо за MS-схемою, але щоб робота тригера виконувалася за заданим переходом з «0» в «1», на Master-схему ми подаємо інвертований синхросигнал.

Принципова схема на вентелях:

Електронна схема:

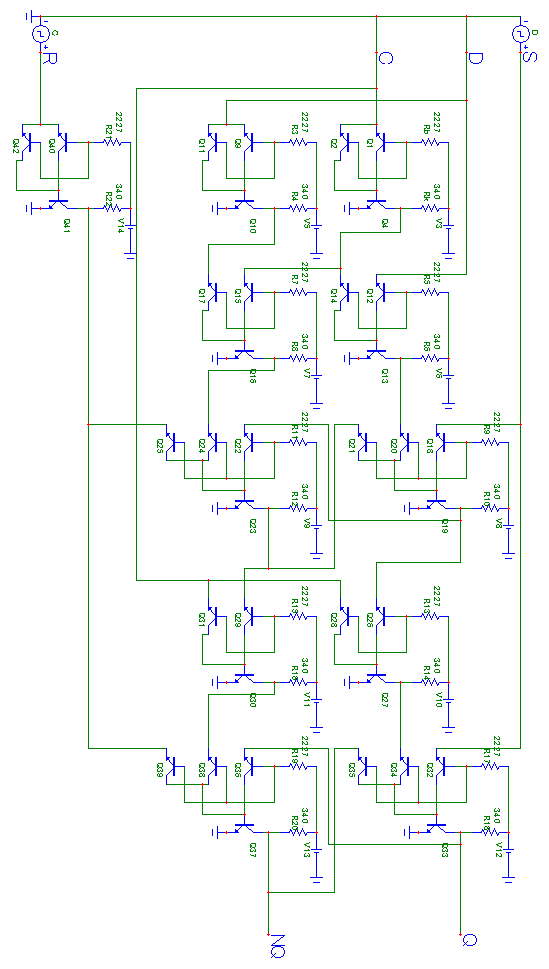
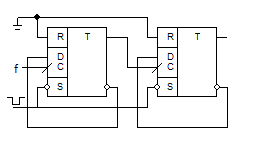
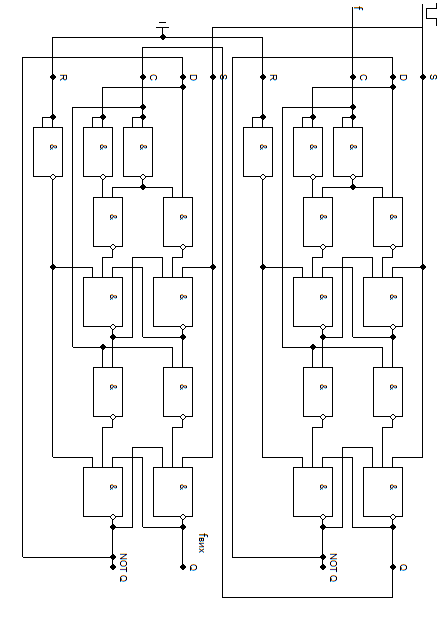


Схема ділення на 4 за допомогою D тригерів

Для того, щоб поділити вхідну(опорну) частоту на 2 необхідно на вход D тригеру подати NQ, на синхровхід С подати опорну частоту. Тоді на виході Q тригера будемо мати сигнал, що має частоту в 2 рази меншу від заданої. Якщо потім цю частоту подати на синхровхід такого ж другого тригеру, то з виходу Q другого тригеру ми отримаємо сигнал з частотою в 4 рази меншу від заданної.

Умовне графічне зображення:



Принципова схема на вентелях:

Висновки:

В даному завданні ми спроектували синхронний D-тригер. При перевірці його роботи ми переконались, що тригер працює коректно – відповідає заданій таблиці переходів.

Також необхідно було створити схему ділення частоти сигналу на 4. Для цього необхідно було послідовно з’єднати два тригера, під’єднавши D вхід до виходу NQ цього ж тригеру. Тоді на виході тригеру отримаємо сигнал з частотою в 2 рази меншу. Подавши на синхровхід другого тригеру сигнал з виходу першого ми можемо отримати сигнал з частотою в 4 рази меншою. Це підтверджується графіками досліджень. Початковий нульовий стан Q1=1та Q2=1 тригера було встановлено за допомогою асинхронних входів R, S. Оскільки за завданням R-прямий, S-інверсний, то вхід S подали один імпульс, а на вхід R встановили у «землю», і потім перевели його в неактивний рівень. Але оскільки тригер побудований на елементах І-НЕ, то для його правильного функціонування треба було про інвертувати сигнал, що надходили з R.

Помітно, що у цій схемі значення високого рівня на Q1 (3.564 мА) є меншим від звичайного, що можна пояснити тим, що вихід Q1 під’єднаним до входу С2 наступного тригеру. Це є цілком нормальним явищем при послідовному з’єднанні схем.

1. На базі -тригеру створити модель схеми чотирьохрозрядного лічильника з коефіцієнтом ділення вхідної частоти .

Теоретична частина:

Лічильник — це операційний вузол, призначений для виконання мікрооперацій лічби. Кількість дозволених станів лічильника називають його періодом або модулем.

Лічильники бувають синхронними та асинхронними. В асинхронних лічильниках на інформаційні входи асинхронних тригерів(чи на тактові входи синхронних тригерів) надходять сигнали з виходів сусідніх розрядів. У синхронних лічильниках усі тригери перемикаються одночасно під діянням спільного синхросигналу, що приходить на тактові входи всіх тригерів.

За характером мікрооперацій лічби лічильника лічильники поділяють на інкрементні, декрементні та реверсивні. У моменти надходження сигналу стан інкрементного лічильника змінюється на +1, декрементного – на -1. Реверсивний може виконувати як операцію інкременту, так і операцію декременту, залежно від значення сигналу на вході управління.

За способом організації переносу між розрядами лічильники поділяють на:

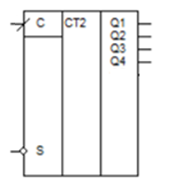
* з послідовним переносом;
* з наскрізним переносом;
* з паралельним переносом;
* з груповим переносом.

Розглянемо лічильники з послідовним переносом. У таких лічильниках перенос(позичка) у сусідній старший розряд формується лише після перемикання тригера в попередньому(молодшому) розряді. Такі лічильники є асинхронними, тому перемикання тригерів відбувається неодночасно.

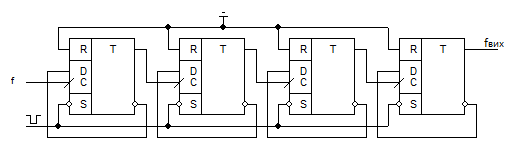
Структурна організація лічильника:

Даний лічильник складається з 4 тригерів, кожен з яких виконує ділення частоти на 2. З’єднані послідовно вони ділять вхідну(опорну) частоту на 2(вихід Q1), на 4(вихід Q2), на 8(вихід Q3), на 16(вихід Q4). Для цього треба під’єднати D вхід до виходу NQ цього ж тригеру для забезпечення ділення на 2. Потім вихід тригеру з’єднують з синхровходом наступного тригеру. Таким чином послідовне з’єднання n тригерів може забезпечити ділення на 4, 8, 16, 32,..,2n. Створений таким чином лічильник є інкрементним двійковим лічильником з послідовним переносом між розрядами.

Умовне графічне зображення:

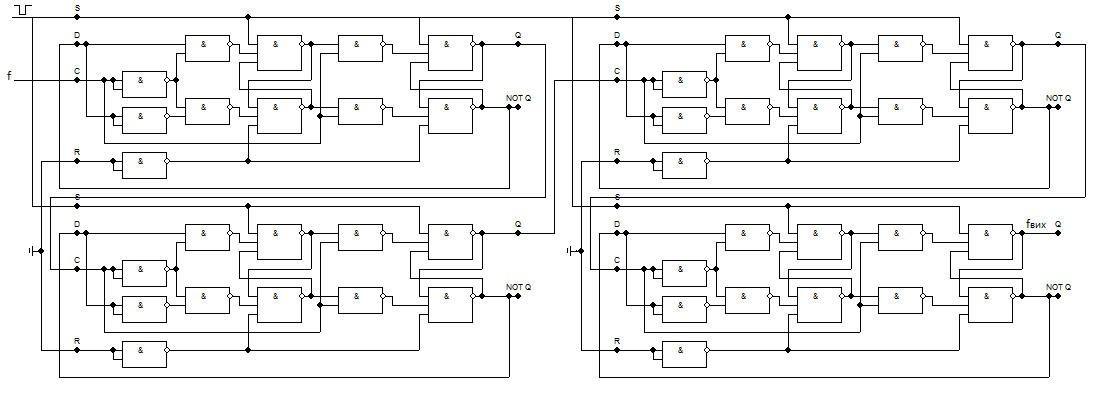


Умовна графічна схема:

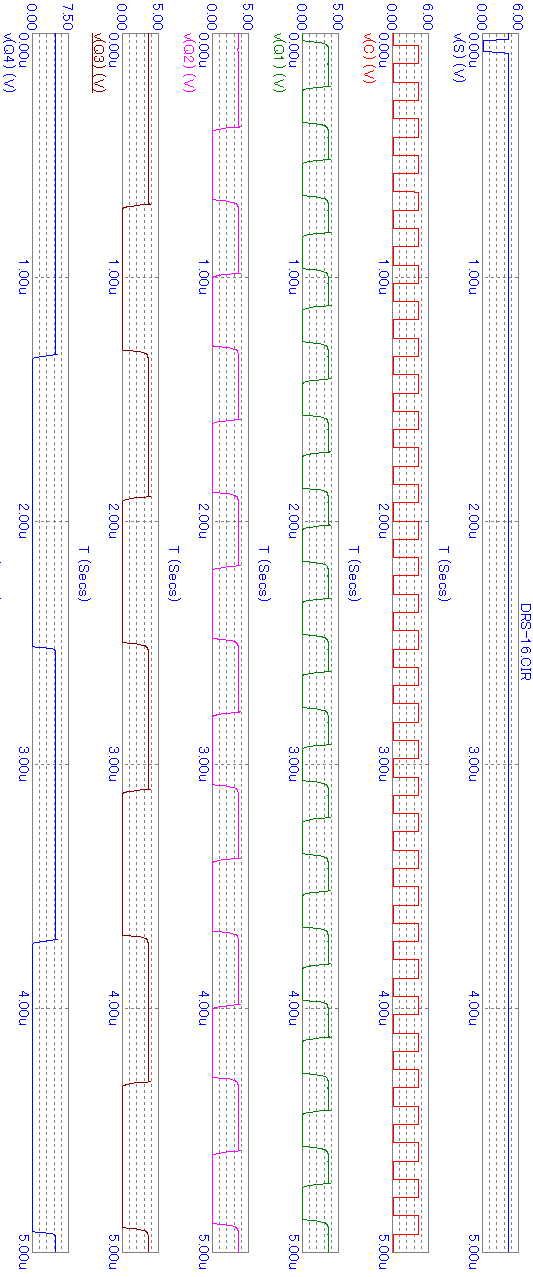


Таблиця переходів лічильника:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Q1(t) | Q2(t) | Q3(t) | Q4(t) |  | Q1(t+1) | Q2(t+1) | Q3(t+1) | Q4(t+1) |
| 1 | 1 | 1 | 1 |  | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |  | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 |  | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 |  | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 |  | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 |  | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 |  | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 |  | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 |  | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |  | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 |  | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 |  | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 |  | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 |  | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 |  | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |  | 1 | 1 | 1 | 1 |

Принципова схема на вентелях:

Графік роботи даного чотирьохрозрядного лічильника з коефіцієнтом ділення вхідної частоти К=16



1. Задати одноразовий режим роботи програмованого лічильника з модулем ділення М = 4. Коефіцієнт ділення вхідної частоти N=8403.

Намалюємо умовне графічне зображення лічильника.

|  |  |  |
| --- | --- | --- |
| J16 |  |  |
| J15 |  |  |
| J14 |  |  |
| J13 |  |  |
| J12 |  |  |
| J11 |  |  |
| J10 |  |  |
| J9 |  |  |
| J8 |  |  |
| J7 |  |  |
| J6 |  |  |
| J5 |  |  |
| J4 |  |  |
| J3 |  |  |
| J2 |  |  |
| J1 |  |  |
| KA |  |  |
| K**B** |  |  |
| KC |  |  |
| L |  |  |
| С |  |  |

Розвязком задачі є визначення керуючого слова наступної структури.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J15 | J14 | J13 | J12 | J11 | J10 | J9 | J8 | J7 | J6 | J5 | J4 | J3 | J2 | J1 | J0 | KA | K**B** | KC | L |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Скористаємость наступною таблицею для визначення модуля:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| M | P1MAX | P5MIN | NMIN | NMAX(P2÷P4=0÷9) | NMAX(P2÷P4=0÷15) |
| 2 | 7 | 1 | 3 | 15999 | 17331 |
| 4 | 3 | 3 | 3 | 15999 | 18663 |
| 5 | 1 | 4 | 3 | 9999 | 13329 |
| 8 | 1 | 7 | 3 | 15999 | 21327 |
| 10 | - | 9 | 3 | 9999 | 16659 |

Визначимо розряди KAK**B**KC  за наступною таблицею:

|  |  |  |  |
| --- | --- | --- | --- |
| М | KA | K**B** | KC |
| 2 | 1 | 1 | 1 |
| 4 | 0 | 1 | 1 |
| 5 | 1 | 0 | 1 |
| 8 | 0 | 0 | 1 |
| 10 | 0 | 1 | 0 |

Для розв’язку нашої задачі використаємо модуль М=4. Розряди KAK**B**KC відповідно дорівнюють 011.

Визначимо коефіцієнти P1-P5.Для цього розділимо задане число N на модуль М.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 8 | 4 | 0 | 3 | 4 |  |  |  | |  | | |  |  |
| 8 |  |  |  | 2 | 1 | 0 | 0 | | + | | | 3 |  |
| 0 | 4 |  |  |  |  |  |  | |  | | |  |  |
|  | 4 |  |  |  |  |  |  | |  | | |  |  |
|  | 0 | 0 |  |  |  |  | |  | |  |
|  |  | 0 |  |  |  |  | |  | |  |
|  |  |  | 3 |  |  |  |  | |  | | |  |  |
|  |  |  | 0 |  |  |  |  | |  | | |  |  |
|  |  |  | 3 |  |  |  |  | |  | | |  |  |

Отримаємо коефіцієнти

P1 = 2, P2 = 1, P3 = 0, P4 = 0, P5 = 3.

В двійковому поданні коефіцієнти мають вигляд

P1 = 0010, P2 = 0001, P3 = 0000, P4 = 0000, P5 = 0011.

Кожен коефіцієнт відповідає за певні біти управляючого слова:

P2 = J12-J15, P3 = J8-J11 , P4 = J4-J7, коефіцієнти P1 і P5 відповідають за розряди J0-J3.

Оскільки режим роботи одноразовий, то біт L =1. Запишемо керуюче слово:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J15 | J14 | J13 | J12 | J11 | J10 | J9 | J8 | J7 | J6 | J5 | J4 | J3 | J2 | J1 | J0 | KA | K**B** | KC | L |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
|  | P2 | |  |  | P3 | |  |  | P4 | |  | P1 | | P5 | |  |  |  |  |

Список використанної літератури:

1. Методичні вказівки до виконання лабораторних робіт з курсу «Комп’ютерна схемотехніка».
2. Конспект лекцій з курсу «Комп’ютерна електроніка»
3. Конспект практичних занять з курсу «Комп’ютерна електроніка»